

STEM 與永續發展人才培育

【數位電路 VHDL 與邏輯設計入門班】

第 2 梯次

招生簡章

主辦單位 | 國立陽明交通大學、陽明交大雷射系統研究中心

訓練領域 | 電機工程

訓練職類 | 電腦系統設計及分析

課程時數 | 36 小時

課程時間 | 115/9/22 (二)~115/10/22(四)

上課時間 | 每週二、四晚上 18:30-21:30

每週六下午 13:30~16:30

上課地點 | 遠距教學

訓練費用 | 請加官方 line@ 諮詢。※本班為自費課程，無補助。

報名期間 | 即日起 至 115/9/17 (四) 23:59

課程諮詢 | 陽明交大雷射系統研究中心 鄭小姐 0933-906-833 或

Email 至 nycuitstem@gmail.com

[line@](#) 諮詢 · 或 Line ID 搜尋 @nycustem

招生網站 | <https://it.stem.lasercenter.nycu.edu.tw/>

※本班最低開班人數：25 人



■ 課程簡介

隨著 AI 伺服器與邊緣運算需求爆發，2025 年台灣半導體產業每月人才缺口已突破 3.4 萬人，為了應對缺工，企業招募門檻放寬。人力銀行報告指出「操作 / 技術 / 維修類」有 58% 的職務不限科系；「生產製造類」也有約 38% 接受跨領域人才。

國立陽明交通大學在過去幾十年間，在半導體產業方面，皆扮演著領航者的角色。於 1958 年首先設立電子研究所，協助政府發展半導體工業。其間設立半導體中心、奈米元件國家實驗室 (National Nano Device Laboratories)，以及台積電、聯發科、鴻海等多家知名科技大廠之專屬研究中心，發展前瞻次微米半導體製程技術，培養半導體產業所需人才，除了教師參與研究外，也培養了無數創業校友，奠定了台灣半導體產業的基礎。陽明交大為了培育更多的實務型科技人才，透過本計畫培養半導體領域之核心知識與素養，規劃半導體領域之課程，提供非領域，但想嘗試跨入半導體產業的人，也能有學科上的學習，提升國內產業人力供給及競爭力問題。

■ 適合對象

1. 本課程適合沒有程式基礎者。
2. 想要往 ic 設計領域文組生或數學、化學等沒學過電機電子的理科生。
3. 目前在職中或待業中 55 歲以下皆可報名。

■ 課程目標

1. 建立電子電路與數位訊號的基礎認知。
2. 掌握邏輯設計原理與 EDA 工具的操作流程。
3. 具備使用 VHDL 進行硬體設計與功能驗證的能力。

■ 課程特色及優勢

1. 本課程的優勢為學習者建構了從基礎電子元件到複雜硬體設計的完整路徑。從最基礎的電子學概念（如電壓、電流、電阻及訊號原理）出發，確保學生能理解數位系統的物理基礎，之後深入探討被動與主動元件的功能，並銜接至數位邏輯設計的核心。這門課的一大優勢在於理論與實務的高度結合，課程引導學生直接操作 Quartus 軟體與 VHDL 硬體描述語言。課程也強調專業化的驗證流程，透過 ModelSim 模擬軟體、測試平台編寫與波形分析，訓練學生具備階層化設計與電路驗證的專業能力，是跨領域學習者銜接電子工程專業領域極具價值的基礎橋樑。
2. 跨領域者上完本門課程後，後續可接著選修『半導體 FPGA 數位電路班』課程。
3. 上課方式：概念引導與範例應用學習，部分課程搭配電子白板授課，提供講義電子檔，課程皆會進行錄影，提供課後複習與練習。
4. 直播錄影課程可重複觀看至最後一堂直播結束後 2 個月。

★ 上課證明：課程依班級評量方式達 70 分以上，並完成結訓意見調查表，將由陽明交通大學雷射系統研究中心核發上課證明。

■ 報名方式

1. 成為 STEM 與永續發展人才培訓會員：報名參加訓練課程前，請先於網站進行會員註冊。
(網站會員註冊：<https://it.stem.lasercenter.nycu.edu.tw/register>)
※註冊之信箱請務必以常用信箱為主，避免重要通知信件無法正常收件。
2. 會員登入後，選擇要報名之課程：選擇課程進入課程介紹頁面，點選課程介紹頁面上方之「我要報名」。
3. 購買課程步驟：
 - (1.) 確認訂單資訊：請確認選擇報名之課程名稱、價格及開訓日期。
 - (2.) 選擇付款方式：可選擇 ATM 虛擬帳號付款或是信用卡線上刷卡，依指示步驟完成付款。
 - (3.) 完成報名：成功付款後，將會出現訂單完成頁面，訂單狀態及繳費狀態將會顯示「成功」，並會寄發繳費成功通知信，請務必留意。
4. 查看課程：會員登入後，點選會員中心之「班級總覽」，可以查看已報名的課程資

訊，包含開課後之課程連結及學習平台連結等。

5. 開訓前通知：開課前一周內將會寄發課前通知信，包含課程相關社群資訊、課程連結、課表及課程規定等重要資訊，請務必留意信箱。

※如未收到通知信，請務必來電或以 Line@進行確認，以免錯失重要資訊。

■ 課程條款

學員報名後表示同意並遵守以下課程條款

1. 學員同意以下事項，若有違反任一條款，開課單位有權立即終止契約，並依退費條款退還款項，並保留追究法律責任的權利。
 - 學員應遵守課堂的基本秩序，包括但不限於：不打擾其他學員、不使用不當語言或行為、尊重授課教師及助教，若有違反上開規定且經制止而再犯者。
 - 學員應對所有授課教師、助教、工作人員保持尊重。任何形式的不當言語，如咒罵、咆哮、威脅、或人身攻擊均屬於不可接受的行為。
 - 學員以任何形式針對課程與開課單位進行惡意中傷或不實宣傳者。
2. 契約終止後，學員不得再參加開課單位所提供的任何課程或服務。
3. 學員同意開課單位，因課程執行或其他考量，可保留學員參加課程之權利，開課單位可將已經報名繳費的學員進行全額退費。
4. 開課單位保留隨時修改或更新本條款的權利，且毋須事先通知。學員若不同意修改後的條款，有權選擇終止契約，並依照退費條款進行退費。

■ 注意事項

1. 請各位學員自行準備筆電或桌機，並確保網路環境，以利上課所需。電腦設備條件：作業系統 Windows 10 以上版本，user name 請改成英文，CPU 6 核心 / 12 執行緒，比較理想是 8 核心 / 16 執行緒，RAM 16GB~32GB，硬碟空間 80GB 以上。
※講師課堂皆以 Windows 系統操作演練，Mac 電腦使用者請勿報名。
2. 課程為直播授課，每堂課皆會錄影並上傳至學習平台供課後複習，為保護智財權，課程影片都有加密，建議使用 windows 系統+chrome 或 Mac+chrome 上課(手機或 ipad 平板無法看錄影課程)。
3. 退費說明：
 - (1.) 會員自報名課程至實際開課上課日前申請退費者，可全額退款。
 - (2.) 自實際開課上課日算起未逾全期三分之一者，退還已繳學費之半數。

- (3.) 自實際開課上課日算起已逾全期三分之一者，不予退還。
- (4.) 退費方式：請於退費期限內提出申請退費，ATM 虛擬帳號繳費者需上傳本人身份證照片以及在台金融單位存摺照片。
4. 為尊重講師之智慧財產權益，恕無法提供課程講義電子檔，依講師課程形式提供紙本資料或課用書籍，以開課後講師進行方式為準。
5. 為配合講師時間或臨時突發事件，主辦單位有調整日期或更換講師之權利。

■ 課程大綱

課 程 名 稱	課 程 內 容	時 數
邏輯設計	1. 數位系統與數字表示法 2. 邏輯閘與數位電路 3. HDL 與 FPGA 是什麼	9
FPGA-VHDL 設計	1. Quartus 與 IC 設計流程 2. 階層式設計概念 3. 組合邏輯（一）：並行思維 4. 組合邏輯（二）：功能模組化 5. 序向邏輯（一）：時間的概念 6. 序向邏輯（二）：系統行為 7. 設計驗證與 ModelSim	27
		36 小時

※主辦單位保留調整課程內容與講師等之權利。

■ 課程規劃表

📅 課程時段：每週二、四晚上 18:30-21:30

每週六下午 13:30~16:30

📅 實際上課時間及課程連結以開訓前通知信為準

上 課 日 期	課 程 名 稱	時 數
2026/9/22	數位系統與數字表示法	3
2026/9/24	邏輯閘與數位電路	3
2026/9/29	HDL 與 FPGA 是什麼	3
2026/10/1	Quartus 與 IC 設計流程	3
2026/10/3	Quartus 實作	3
2026/10/6	階層式設計概念	3
2026/10/8	設計驗證與 ModelSim	3
2026/10/13	組合邏輯（一）：並行思維	3
2026/10/15	組合邏輯（二）：功能模組化	3
2026/10/17	序向邏輯（一）：時間的概念	3
2026/10/20	序向邏輯（二）：系統行為	3
2026/10/22	Project 實作	3
合計時數		36

※主辦單位保留調整課表日期與時段之權利。