

# STEM 與永續發展人才培育

## 【半導體 FPGA 數位電路班】

### 第 7 梯次

### 招生簡章

主辦單位 | 國立陽明交通大學、陽明交大雷射系統研究中心

訓練領域 | 電機工程

訓練職類 | 電腦系統設計及分析

課程時數 | 102 小時

課程時間 | 115/1/5 (一)~115/3/30(一)

上課時間 | 每週一、三晚上 18:30-21:30

每週六早上 9:00~12:00

上課地點 | 遠距教學

訓練費用 | 請加官方 [line@](#) 諮詢。※本班為自費課程，無補助。

報名期間 | 即日起 至 115/1/1 (四) 23:59

課程諮詢 | 陽明交大雷射系統研究中心 鄭小姐 0933-906-833 或

Email 至 [nycuitstem@gmail.com](mailto:nycuitstem@gmail.com)

[line@](#) 諮詢，或 Line ID 搜尋 @nycustem

招生網站 | <https://it.stem.lasercenter.nycu.edu.tw/>

※本班最低開班人數：25 人



## ■ 課程簡介

近期 COVID-19 病毒肆虐全球，反而更加凸顯台灣半導體產業鏈的重要性，不但具有完整上中下游，其產值更佔全球半導體產業將近 20%。除了 5G 與 AI 等應用帶動更多需求，再有中美貿易國際情勢下，導致轉單效應持續加速，使得台灣從 IC 設計到晶元代工再到封裝測試產業一片榮景。台灣半導體產業 2020 年產值已突破三兆元，產業蓬勃發展，卻出現人才荒。力積電董事長黃崇仁：『全球晶圓代工產能不足會持續到 2022 年之後，原因包括需求成長率大於產能成長率；且包括 5G 及 AI 等應用帶動更多需求。然而建造新晶圓廠成本高昂且至少需時三年以上，期待新產能緩不濟急，產能吃緊已經到了客戶會恐慌的情況。』因此面對如此龐大的產能需求，半導體領域科技人才亦是供不應求。根據 104 人力銀行最新「半導體產業及人才白皮書」，半導體徵才在 2021 年 Q2 創新高，平均每月徵才 2.77 萬人，上中下游都缺相關製程的工程師，缺額高達 1.5 萬名。

國立陽明交通大學在過去幾十年間，在半導體產業方面，皆扮演著領航者的角色。於 1958 年首先設立電子研究所，協助政府發展半導體工業。其間設立半導體中心、奈米元件國家實驗室（National Nano Device Laboratories），以及台積電、聯發科、鴻海等多家知名科技大廠之專屬研究中心，發展前瞻次微米半導體製程技術，培養半導體產業所需人才，除了教師參與研究外，也培養了無數創業校友，奠定了台灣半導體產業的基礎。陽明交大為了培育更多的實務型科技人才，透過本計畫培養半導體領域之核心知識與素養，規劃半導體領域之課程，提供非領域，但想嘗試跨入半導體產業的人，也能有學科上的學習，提升國內產業人力供給及競爭力問題。

## ■ 適合對象

1. 無相關程式基礎，不熟悉產業科技知識，對半導體領域有興趣者。
2. 想進入半導體領域，並有跨域或轉職意願，還在尋找方向者。
3. 目前在職中或待業中 55 歲以下皆可報名。

## ■ 課程目標

1. 陽明交大目標針對先進半導體製程產業，設計前瞻的跨領域人才培育計畫  
(Science-based practical talents for advanced semiconductor industry.)，培

養專業知識包含半導體(Semiconductor)、人工智慧(Artificial intelligence)、光電(Photonics)，簡稱 SAP 科技實務人才培育

2. 洞察國內外半導體產業之脈動，瞭解時事議題與工程技術對環境、社會及全球之影響，以培養學員成為立足於全球之半導體科技人才；
3. 協助對半導體有興趣者半導體基礎知識，提昇產業競爭力

## ■ 課程特色及優勢

1. 本課程設計強調半導體產業應用為目的，因應經濟發展之趨勢，在教學發展目標與特色上，高度整合教學資源與師資，效率化提升多元化半導體專業人才培訓養成。本課程有助於培養微電子積體電路領域的應用工程師和研究型學者，並專注於先進微電子晶片電路的研究，以解決國內半導體產業的人才短缺的問題。本課程的教育目標在養成未來多元半導體產業人才，透過多樣的專業課程，使學生成為在元件設計、可靠度分析、量子物理、材料科學與奈米製程技術上具備良好專業知識的整合人才，並透過堅強的專題研究群，引導學生投入前瞻固態電子元件領域，訓練嚴謹的研究能力與創新思維。
2. 上課方式：概念引導與範例應用學習，部分課程搭配電子白板授課，提供講義電子檔，課程皆會進行錄影，提供課後複習與練習。
3. 直播錄影課程可重複觀看至最後一堂直播結束後 2 個月。

★ 上課證明：**課程依班級評量方式達 70 分以上，並完成結訓意見調查表**，將由陽明交通大學雷射系統研究中心核發上課證明。

## ■ 報名方式

1. 成為 STEM 與永續發展人才培訓會員：報名參加訓練課程前，請先於網站進行會員註冊。  
( 網站會員註冊：<https://it.stem.lasercenter.nycu.edu.tw/register> )  
※註冊之信箱請務必以常用信箱為主，避免重要通知信件無法正常收件。
2. 會員登入後，選擇要報名之課程：選擇課程進入課程介紹頁面，點選課程介紹頁面上方之「我要報名」。
3. 購買課程步驟：

- (1.) 確認訂單資訊：請確認選擇報名之課程名稱、價格及開訓日期。
- (2.) 選擇付款方式：可選擇 ATM 虛擬帳號付款或是信用卡線上刷卡，依指示步驟完成付款。
- (3.) 完成報名：成功付款後，將會出現訂單完成頁面，訂單狀態及繳費狀態將會顯示「成功」，並會寄發繳費成功通知信，請務必留意。
4. 查看課程：會員登入後，點選會員中心之「班級總覽」，可以查看已報名的課程資訊，包含開課後之課程連結及學習平台連結等。
5. 開訓前通知：開課前一周內將會寄發課前通知信，包含課程相關社群資訊、課程連結、課表及課程規定等重要資訊，請務必留意信箱。
- ※如未收到通知信，請務必來電或以 Line@ 進行確認，以免錯失重要資訊。

## ■ 課程條款

學員報名後表示同意並遵守以下課程條款

1. 學員同意以下事項，若有違反任一條款，開課單位有權立即終止契約，並依退費條款退還款項，並保留追究法律責任的權利。
  - 學員應遵守課堂的基本秩序，包括但不限於：不打擾其他學員、不使用不當語言或行為、尊重授課教師及助教，若有違反上開規定且經制止而再犯者。
  - 學員應對所有授課教師、助教、工作人員保持尊重。任何形式的不當言語，如咒罵、咆哮、威脅、或人身攻擊均屬於不可接受的行為。
  - 學員以任何形式針對課程與開課單位進行惡意中傷或不實宣傳者。
2. 契約終止後，學員不得再參加開課單位所提供的任何課程或服務。
3. 學員同意開課單位，因課程執行或其他考量，可保留學員參加課程之權利，開課單位可將已經報名繳費的學員進行全額退費。
4. 開課單位保留隨時修改或更新本條款的權利，且毋須事先通知。學員若不同意修改後的條款，有權選擇終止契約，並依照退費條款進行退費。

## ■ 注意事項

5. 請各位學員自行準備筆電，並確保網路環境，以利上課所需。**電腦設備條件：**需為 Windows 10 以上版本 user name 請改成英文，電腦空間 40GB 以上，盡量不要使用 mac 雙系統，若要使用 Mac 電腦，Quartus 需用 intel 處理器（不能用 M 系列的處理器）。

6. 課程為直播授課，每堂課皆會錄影並上傳至學習平台供課後複習，為保護智財權，課程影片都有加密，建議使用 windows 系統+chrome 或 Mac+chrome 上課(手機或 ipad 平板無法看錄影課程)。
7. 退費說明：
  - (1.) 會員自報名課程至實際開課上課日前申請退費者，可全額退款。
  - (2.) 自實際開課上課日算起未逾全期三分之一者，退還已繳學費之半數。
  - (3.) 自實際開課上課日算起已逾全期三分之一者，不予退還。
  - (4.) 退費方式：請於退費期限內提出申請退費，ATM 虛擬帳號繳費者需上傳本人身份證照片以及在台金融單位存摺照片。
8. 為尊重講師之智慧財產權益，恕無法提供課程講義電子檔，依講師課程形式提供紙本資料或課用書籍，以開課後講師進行方式為準。
9. 為配合講師時間或臨時突發事件，主辦單位有調整日期或更換講師之權利。

## ■ 課程大綱

| 課程名稱    | 課程內容  | 時數        |
|---------|---|-----------|
| VHDL    | 1. 邏輯設計&VHDL<br>2. 組合&序向邏輯電路<br>3. 分層式設計<br>4. VHDL 驗證<br>5. 應用電路設計-VGA | 45        |
| Verilog | 1. Verilog 基本語法<br>2. 正弦波產生   | 30        |
| 系統應用    | 1. SOPC<br>2. 應用電路實作  | 27        |
|         |   | 102<br>小時 |

※主辦單位保留調整課程內容與講師等之權利。

## ■ 課程規劃表

- ▣ 課程時段：每週一、三晚上 18:30-21:30  
每週六早上 9:00~12:00(部分週日)
- ▣ 實際上課時間及課程連結以開訓前通知信為準

| 上課日期        | 課程名稱                                 | 時數 |
|-------------|--------------------------------------|----|
| 2026/1/5    | 邏輯設計&實作                              | 3  |
| 2026/1/7    | 邏輯設計&實作                              | 3  |
| 2026/1/10   | 實作: FPGA 設計流程                        | 3  |
| 2026/1/12   | VHDL 語法結構                            | 3  |
| 2026/1/14   | 組合邏輯電路                               | 3  |
| 2026/1/17   | 組合邏輯電路範例實作                           | 3  |
| 2026/1/19   | 序向邏輯電路                               | 3  |
| 2026/1/21   | 分層式設計                                | 3  |
| 2026/1/24   | 序向邏輯電路範例實作                           | 3  |
| 2026/1/26   | VHDL 驗證&實作                           | 3  |
| 2026/1/28   | VHDL 應用範例 ( PWM )                    | 3  |
| 2026/1/31   | 應用範例實作                               | 3  |
| 2026/2/2    | PLL 介紹&實作                            | 3  |
| 2026/2/4    | VGA 介紹&實作                            | 3  |
| 2026/2/7    | VGA 實作                               | 3  |
| 2026/2/9    | verilog 介紹&實作                        | 3  |
| 2026/2/11   | verilog 介紹&實作                        | 3  |
| 2026/2/14   | 實作                                   | 3  |
| 2026/2/23   | Verilog 驗證&實作                        | 3  |
| 2026/2/25   | VHDL&Verilog                         | 3  |
| 2026/3/1(日) | 實作                                   | 3  |
| 2026/3/2    | Introduction to High Level Simulator | 3  |
| 2026/3/4    | Sinewave generation                  | 3  |
| 2026/3/7    | Sinewave 實作                          | 3  |
| 2026/3/9    | Computer Organization                | 3  |
| 2026/3/11   | De10_defult                          | 3  |
| 2026/3/14   | De10_defult 實作                       | 3  |

|           |                               |     |
|-----------|-------------------------------|-----|
| 2026/3/16 | Overview of Computer Software | 3   |
| 2026/3/18 | Qsys_oLED2                    | 3   |
| 2026/3/21 | SOPC 實作                       | 3   |
| 2026/3/23 | Qsys_SDRAM                    | 3   |
| 2026/3/25 | Qsys_comb                     | 3   |
| 2026/3/28 | 期末課程                          | 3   |
| 2026/3/30 | Final Project/DE10_i2sound    | 3   |
| 合計時數      |                               | 102 |

※主辦單位保留調整課表日期與時段之權利。